



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/751,183	
	Filing Date	12/30/2003	
	First Named Inventor	Jin Ho PARK	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	28	Attorney Docket Number	PIA31225/DBE/US

ENCLOSURES (Check all that apply)		
<input type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	Remarks 1. Claim for Priority 2. Return Receipt Postcard	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Andrew D. Fortney, Ph.D., Reg. No. 34,600
Signature	
Date	January 27, 2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name	Andrew D. Fortney, Ph.D.		
Signature		Date	January 27, 2004

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Pat. Docket No. PIA31225/DBE/US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF:

:

Jin Ho PARK

: GROUP ART UNIT:

SERIAL NO: 10/751,183

:

FILED: December 30, 2003

: EXAMINER:

FOR: Semiconductor Package and Structure Thereof

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on January 27, 2004.

By: Ad D J
Andrew D. Fortney

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0086245	December 30, 2002	Republic of KOREA
10-2002-0086246	December 30, 2002	Republic of KOREA

A certified copy of each above-identified priority application is attached.

Respectfully submitted,

Ad D J
Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0086245
Application Number

출원 년 월 일 : 2002년 12월 30일
Date of Application
DEC 30, 2002

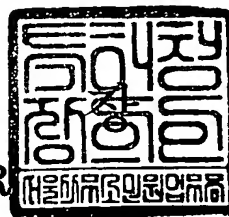
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 12 월 22 일

특 허 청

COMMISSIONER





919980005148



10111010000000000000



0000029000

방 식 심 사 란	담	당	심	사	관

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0035

【제출일자】 2002.12.30

【발명의 국문명칭】 스택형 반도체 패키지 및 그 구조

【발명의 영문명칭】 STACKED SEMICONDUCTOR PACKAGE AND ITS STRUCTURE

【출원인】

【명칭】 동부전자 주식회사

【출원인코드】 1-1998-106725-7

【대리인】

【성명】 장성구

【대리인코드】 9-1998-000514-8

【포괄위임등록번호】 1999-059722-7

【대리인】

【성명】 김원준

【대리인코드】 9-1998-000104-8

【포괄위임등록번호】 1999-059725-9

【발명자】

【성명의 국문표기】 박진호

【성명의 영문표기】 PARK, Jin-Ho

【주민등록번호】 710305-1066918

【우편번호】 461-708

【주소】 경기도 성남시 수정구 신흥2동 신흥주공아파트 102-1505

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인 장성구 (인)

대리인 김원준 (인)

【수수료】

【기본출원료】	11	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】			29,000	원
------	--	--	--------	---

【첨부서류】 1. 요약서· 명세서(도면)_1통

【요약서】

【요약】

본 발명은 스택형 반도체 패키지 및 그 구조에 관한 것으로, 특히 패키지 외부 상부면 또는 하부면에 리드 프레임과 각각 수직으로 연결되며 패키지 외부로 돌출된 아웃 리드들과, 패키지 외부 상부면 또는 하부면에 리드 프레임과 각각 수직으로 연결되며 아웃 리드가 각각 삽입되는 다수개의 홈을 구비한 제 1 및 제 2반도체 패키지에서 하부 제 1반도체 패키지의 각 아웃 리드들이 상부 제 2반도체 패키지의 홈에 각각 삽입된다. 따라서, 본 발명은 패키지의 상부면 또는 하부면에 각각 패키지 내부의 리드 프레임과 수직으로 연결되는 아웃 리드들과 이의 홈을 반도체 패키지에 구비함으로써 적어도 두 개이상의 반도체 칩을 패키지화할 경우 상부 반도체 패키지의 홈에 하부 패키지의 아웃 리드를 삽입하여 스택형 구조의 다층 반도체 패키지로 제작함으로써 어느 하나의 반도체 칩에서 불량 발생하더라도 이들 패키지를 쉽게 분리하여 다른 정상 패키지로 교환할 수 있다.

【대표도】

도 4a

【명세서】

【발명의 명칭】

스택형 반도체 패키지 및 그 구조{STACKED SEMICONDUCTOR PACKAGE
AND ITS STRUCTURE}

【도면의 간단한 설명】

도 1은 종래 기술에 의해 하나의 PCB에 여러 개의 반도체 칩이 단독으로 실장된 경우를 나타낸 도면,

도 2는 종래 기술에 의해 하나의 PCB에 여러 개의 반도체 칩이 스택형으로 실장된 경우를 나타낸 도면,

도 3a 및 도 3b는 본 발명에 따른 스택형 반도체 패키지의 상부면 및 수직 단면을 나타낸 도면들,

도 4a 및 도 4b는 본 발명에 따른 스택형 반도체 패키지를 스택형으로 실장한 경우를 나타낸 도면들.

<도면의 주요부분에 대한 부호의 설명>

100 : 하부의 제 1반도체 패키지

110, 210 : 다수의 홈

120, 220 : 아웃 리드들

200 : 상부의 제 2반도체 패키지

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 반도체 패키지 및 그 구조에 관한 것으로서, 특히 적어도 두 개의 상의 반도체 칩을 패키지화했을 때 하나의 칩에서 불량률이 발생하더라도 재작업이 용이한 스택형 반도체 패키지 및 그 구조에 관한 것이다.

현재, 반도체 칩 등을 이용하는 모든 전자 시스템(예를 들면, 컴퓨터, PCS, 셀룰러폰, PDA 등)은 이용자들의 욕구 충족을 위해 점진적으로 고 기능화 및 경박 단소화되어 가는 추세이다. 설계 및 제조 공정 기술의 발전에 따라 전자 시스템에 채용되는 반도체 칩 또한 고 기능화 및 경박 단소화되어 가고 있으며, 이러한 추세에 부응하여 반도체 패키지 또한 경박 단소화되어 가고 있으며 적어도 두 개 이상의 칩을 하나의 PCB에 실장하는 기술이 널리 사용되고 있다.

도 1은 종래 기술에 의해 하나의 PCB에 여러 개의 반도체 칩이 단독으로 실장된 경우를 나타낸 도면이다. 도 1을 참조하면, 종래 반도체 패키지의 일 예는 제 1반도체 칩(Chip1)(12), 제 2반도체 칩(Chip2)(14), 제 3반도체 칩(Chip3)(16) 등이 각각 단독으로 하나의 PCB(10) 상부면에 실장된 것을 나타낸다. 이러한 반도체 패키지는 반도체 칩들(12, 14, 16)이 PCB(10) 표면에 차지하는 면적이 넓기 때문에 많은 반도체 칩들을 실장하기 어려웠다.

이러한 문제를 해결하기 위하여 여러 개의 반도체 칩을 하나의 패키지화하는 기술이 제안되었다.

도 2는 종래 기술에 의해 하나의 PCB에 여러 개의 반도체 칩이 스택형으로 실장된 경우를 나타낸 도면이다. 도 2를 참조하면, 종래 반도체 패키지의 다른 예

는 하나의 PCB기판(20) 상부에 제 1반도체 칩(Chip1)(24)과 제 2반도체 칩(Chip2)(26)을 스택형으로 적층하되, 이들 기판(20)과 칩(24) 사이 또는 칩들(24, 26) 사이를 고정하기 위한 접착제(22)로 부착하고 각 칩(24, 26)의 리드(미도시됨)는 기판(20)의 외부 리드 프레임(미도시됨)과 와이어(28)로 연결시켜 패키지를 완성한다.

이러한 스택형 구조의 반도체 패키지는 PCB 기판의 점유 면적을 줄일 수 있는 장점이 있지만, 하나의 칩에서 불량 발생 시 불량 칩을 교환해야 하는 재작업이 불가능하기 때문에 패키지를 사용할 수 없다는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 패키지의 상부면 또는 하부면에 각각 패키지 내부의 리드 프레임과 수직으로 연결되는 아웃 리드들(out-leads)과 이의 홈을 반도체 패키지에 구비함으로써 적어도 두 개 이상의 반도체 칩을 패키지화할 경우 상부 반도체 패키지의 홈에 아웃 리드를 삽입하여 스택형 구조의 반도체 패키지로 제작함으로써 어느 하나의 반도체 칩에서 불량 발생하더라도 재작업이 용이하여 제품 수율을 향상시킬 수 있는 스택형 반도체 패키지 및 그 구조를 제공하는데 있다.

상기 목적을 달성하기 위하여 본 발명의 스택형 반도체 패키지는 내부에 반도체 칩과, 반도체 칩과 리드 프레임이 와이어를 통해 연결된 반도체 패키지에 있어서, 반도체 패키지 외부 상부면 또는 하부면에 리드 프레임과 각각 수직으로 연결되어 패키지 외부로 돌출된 아웃 리드들과, 패키지 상부 또는 하부면에 리드 프레임과 수직으로 연결되며 아웃 리드가 각각 삽입되는 다수개의 홈을 구비한다.

상기 목적을 달성하기 위하여 본 발명의 스택형 반도체 패키지 구조는 내부에 반도체 칩과, 반도체 칩과 리드 프레임이 와이어를 통해 연결된 적어도 두 개의 이상의 반도체 패키지에 있어서, 패키지 외부 상부면 또는 하부면에 리드 프레임과 각각 수직으로 연결되며 패키지 외부로 돌출된 아웃 리드들과, 패키지 외부 상부면 또는 하부면에 리드 프레임과 각각 수직으로 연결되며 아웃 리드가 각각 삽입되는 다수개의 홈을 구비한 제 1 및 제 2반도체 패키지에서 하부 제 1반도체 패키지의 각 아웃 리드들이 상부 제 2반도체 패키지의 홈에 각각 삽입된다.

【발명의 구성】

이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다.

도 3a 및 도 3b는 본 발명에 따른 스택형 반도체 패키지의 상부면 및 수직 단면을 나타낸 도면들로서, 이를 참조하면 본 발명의 반도체 패키지는 다음과 같은 구조를 갖는다.

도 3a 및 도 3b에 도시된 바와 같이, 반도체 패키지(100) 내부에 반도체 칩(130)이 있으며 이 반도체 칩(130)은 와이어(132)를 통해 리드 프레임(134)에 연결되어 있으며 리드 프레임(134)의 상부 또는 하부면에 연결된 금속층(140)이 형성되어 있다. 그리고 패키지 내부는 반도체 칩(130)과 와이어(132) 영역을 제외하고 수지(114) 등으로 몰딩되어 있다. 또한 이 금속층(140) 하부에는 아웃 리드가 삽입되는 홈(110)이 다수 개 형성되어 리드 프레임(134)과 접속되어 있으며 금속층(140) 상부에는 몰드층을 관통하는 비아(142)를 통해 패키지 외부로 아웃 리드(120)가 돌출 형

성되어 이또한 리드 프레임(134)과 접속되어 있다.

그러므로, 본 발명의 반도체 패키지는 적어도 두 개 이상의 패키지를 스택형 구조로 적층하기 위해서 패키지 상부면에 아웃 리드(120)를 형성할 경우 그 반대의 하부면에는 아웃 리드(120)가 삽입되는 홈(110)이 형성되어 있어야 한다. 이와 반대로 패키지 상부면에 홈이 형성되어 있을 경우 그 하부면에는 아웃 리드가 형성되어 있어야 한다.

도 4a 및 도 4b는 본 발명에 따른 스택형 반도체 패키지를 스택형으로 실장한 경우를 나타낸 도면들이다. 이들 도면을 참조하여 본 발명의 반도체 패키지를 스택형 구조로 실장하는 과정을 설명한다.

우선, 본 발명에 따라 반도체 패키지 상부면 또는 하부면에 각각 다수개의 아웃 리드 및 홈을 갖는 제 1 및 제 2반도체 패키지(100, 200)를 준비한다.

만약 제 1반도체 패키지(100)를 하부층으로 제 2반도체 패키지(200)를 상부층으로 한 스택형 구조로 PCB 기판에 실장하고자 할 경우 제 1반도체 패키지(100)의 상부면에 있는 다수개의 아웃 리드들(120)을 제 2반도체 패키지(200)의 하부면에 있는 다수개의 홈(210)에 정렬되도록 삽입한다. 이때 도면에 도시되지는 않았지만, 제 1반도체 패키지(100)의 반도체 칩은 아웃 리드들(120)을 통해 제 2반도체 패키지(200)의 반도체 칩과 접속되게 된다.

그러면 도 4b와 같이, 제 1반도체 패키지(100)와 제 2반도체 패키지(200)가 서로 수직으로 적층된 스택형 구조를 갖으며 이를 PCB 기판(미도시됨)에 실장할 경우 PCB 기판에서 반도체 패키지가 차지하는 영역을 최소로 줄일 수 있게 된다.

한편, 본 발명의 설명시 패키지 상부 및 하부에 각각 내부 리드 프레임과 수직으로 연결되는 아웃 리드들과 홈을 갖는 반도체 패키지 두 개로 실장하였지만, 사용자 요구에 맞춰 3개이상 적층한 스택형 구조로 PCB 기판에 실장할 수도 있다.

【발명의 효과】

이상 설명한 바와 같이, 본 발명은 패키지의 상부면 또는 하부면에 각각 패키지 내부의 리드 프레임과 수직으로 연결되는 아웃 리드들과 이의 홈을 반도체 패키지에 구비함으로써 적어도 두 개이상의 반도체 칩을 패키지화할 경우 상부 반도체 패키지의 홈에 하부 패키지의 아웃 리드를 삽입하여 스택형 구조의 다층 반도체 패키지로 제작함으로써 어느 하나의 반도체 칩에서 불량 발생하더라도 이들 패키지를 쉽게 분리하여 다른 정상 패키지로 교환할 수 있기 때문에 제품 수율을 향상시킬 수 있는 효과가 있다.

한편, 본 발명은 상술한 실시예에 국한되는 것이 아니라 후술되는 청구범위에 기재된 본 발명의 기술적 사상과 범주내에서 당업자에 의해 여러 가지 변형이 가능하다.

【특허청구범위】

【청구항 1】

내부에 반도체 칩과 상기 반도체 칩과 리드 프레임이 와이어를 통해 연결된 반도체 패키지에 있어서,

상기 반도체 패키지 외부 상부면 또는 하부면에 상기 리드 프레임이 각각 수직으로 연결되어 패키지 외부로 돌출된 아웃 리드들; 및


상기 패키지 상부 또는 하부면에 상기 리드 프레임과 수직으로 연결되며 상기 아웃 리드가 각각 삽입되는 다수개의 홈을 구비한 것을 특징으로 하는 스택형 반도체 패키지 구조.

【청구항 2】

제 1항에 있어서, 상기 아웃 리드들과, 상기 홈은 서로 상반된 패키지 면에 배치되는 것을 특징으로 하는 스택형 반도체 패키지 구조.

【청구항 3】

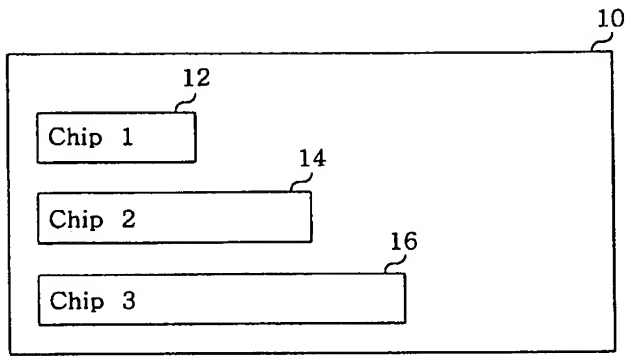
내부에 반도체 칩과 상기 반도체 칩과 리드 프레임이 와이어를 통해 연결된 적어도 두 개 이상의 반도체 패키지에 있어서,
상기 패키지 외부 상부면 또는 하부면에 상기 리드 프레임과 각각 수직으로 연결되며 패키지 외부로 돌출된 아웃 리드들과, 상기 패키지 외부 상부면 또는 하부면에 상기 리드 프레임과 각각 수직으로 연결되며 상기 아웃 리드가 각각 삽입되는 다수개의 홈을 구비한 제 1 및 제 2반도체 패키지에서 하부 제 1반도체 패키지의 각 아웃 리드들이 상부 제 2반도체 패키지의 홈에 각각 삽입되는 것을 특징으로 하는 스



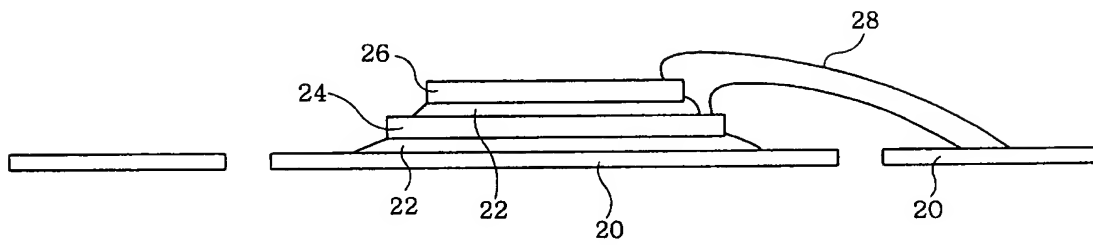
택형 반도체 패키지.

【도면】

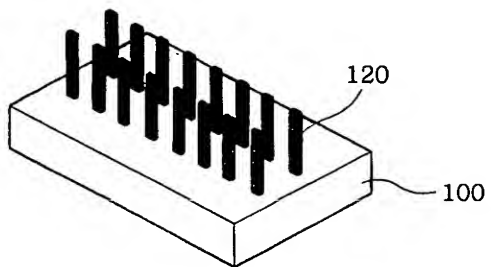
【도 1】



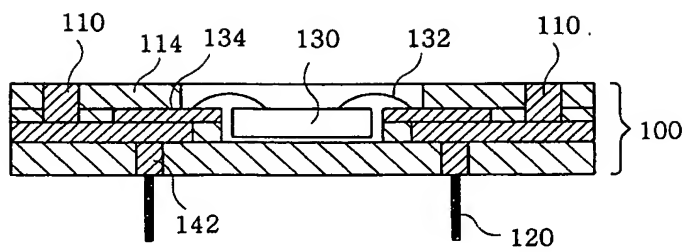
【도 2】



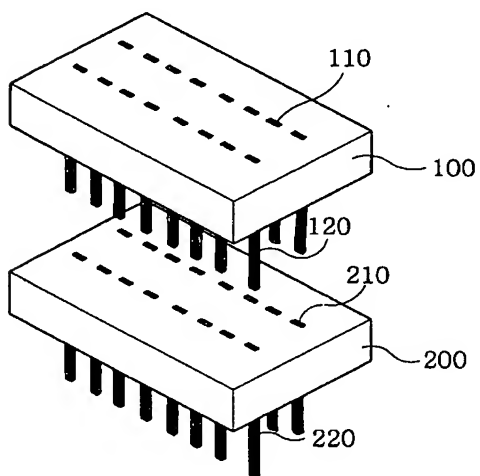
【도 3a】



【도 3b】



【도 4a】



【도 4b】

